

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-095185

(43)Date of publication of application : 27.03.1992

(51)Int.Cl. G06F 15/82  
G06F 13/38

(21)Application number : 02-210018 (71)Applicant : SHARP CORP

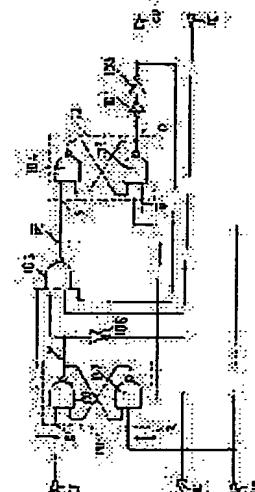
(22)Date of filing : 07.08.1990 (72)Inventor : MURAMATSU GOJI  
HATAKEYAMA KOICHI  
MIYATA SOICHI

## (54) SELF-SYNCHRONIZATION TYPE TRANSFER CONTROL CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the malfunction caused by annihilation of a pulse and an excessive transfer thereof by executing surely the control of the transfer at every one pulse.

**CONSTITUTION:** A first storage means 111 has a reset function, stores a first pulse, and a second storage means 112 has a reset function, and it reset in response to an inhibited state of an instruction signal. A logical means 103 outputs a pulse in response to a fact that a first storage means 111, a fact that a second storage means 112 is in a reset state, and a fact that the instruction signal is in a permitted state, a first storage means 111 is reset by a pulse outputted from the logical means 103, and a second storage means 112 stores the pulse outputted from the logical means 103 and generates a second pulse. In such a way, a malfunction caused by annihilation of the pulse and an excessive transfer of the pulse is prevented.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報 (A) 平4-95185

⑬ Int. Cl. 5

G 06 F 15/82  
13/38識別記号 310 Z  
厅内整理番号 7530-5L  
7052-5B

⑭ 公開 平成4年(1992)3月27日

審査請求 未請求 請求項の数 5 (全21頁)

⑮ 発明の名称 自己同期型転送制御回路

⑯ 特願 平2-210018

⑰ 出願 平2(1990)8月7日

⑱ 発明者 村松 剛 司 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 発明者 畠山 耕一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑳ 発明者 宮田 宗一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

㉑ 出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代理人 弁理士 深見 久郎 外2名

## 明細書

## 1. 発明の名称

自己同期型転送制御回路

## 2. 特許請求の範囲

(1) 転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第1のパルスを第2のパルスとして後段部に転送する自己同期型転送制御回路であって、

リセット機能を有し、前記第1のパルスを記憶する第1の記憶手段と、

前記第1の記憶手段が第1のパルスを記憶していること、前記第1の記憶手段に第1のパルス与えられていないこと、前記第2の記憶手段がリセット状態であること、および前記指示信号が許可状態であることに応答してパルスを出力する論理手段とを備え、

前記第1の記憶手段は前記論理手段から出力されるパルスによりリセットされ、前記第2の記憶

手段は前記論理手段から出力されるパルスを記憶して前記第2のパルスを発生する、自己同期型転送制御回路。

(2) 前記第2の記憶手段から出力される前記第2のパルスを遅延させる遅延手段をさらに備えた請求項1記載の自己同期型転送制御回路。

(3) 所定の禁止信号に応答して前記論理手段からのパルスの出力を強制的に阻止する阻止手段をさらに備えた請求項1記載の自己同期型転送制御回路。

(4) 所定の禁止信号に応答して前記第2の記憶手段からの第2のパルスの出力を強制的に阻止する阻止手段をさらに備えた請求項1記載の自己同期型転送制御回路。

(5) 所定の要求信号が与えられたことおよび前記第2の記憶手段がリセット状態であることに応答して所定の禁止信号を発生する禁止信号発生手段と、

前記禁止信号に応答して前記第2の記憶手段からの第2のパルスの出力を阻止する阻止手段とを

さらに備えた請求項1記載の自己同期型転送制御回路。

### 3. 発明の詳細な説明

#### 【産業上の利用分野】

この発明は自己同期型転送制御回路に関し、特にパルスの転送を制御するための自己同期型転送制御回路に関する。

#### 【従来の技術】

データフロー型システムにおいては、パルスに同期してデータが流れ、このデータの移動に伴って処理が行なわれる。第12図は、データフロー型システムにおいてデータを伝送するためのデータ伝送路の構成を示すブロック図である。

データ伝送路は、自己同期型の転送制御回路1およびDタイプフリップフロップからなるデータ保持回路2を含む。転送制御回路1は、前段部(図示せず)からパルスを受けるパルス入力端子C1、前段部に転送の許可または転送の禁止を示す転送許可信号を出力する転送許可出力端子R0、後段部(図示せず)にパルスを出力するパルス出

のパルスが与えられると、RSフリップフロップ111はセットされる。これにより、RSフリップフロップ111は負のパルスを記憶し、ノードQに“1”を出力する。また、ノード $\bar{Q}$ に負のパルスが与えられると、RSフリップフロップ111はリセットされる。これにより、RSフリップフロップ111はノードQに“0”を出力する。ノード $\bar{Q}$ には、ノードQの信号の反転信号が出力される。

ノードQはインバータ305を介して転送許可出力端子R0に接続され、ノード $\bar{Q}$ はインバータ306を介して2入力NANDゲート303の一方の入力端子に接続される。NANDゲート303の他方の入力端子は転送許可入力端子R1に接続される。NANDゲート303の出力端子は遅延回路304を介してパルス出力端子C0に接続され、かつ、RSフリップフロップ111のノード $\bar{R}$ に接続される。

次に、第14図のタイミングチャートを参照しながら第13図の転送制御回路の動作を説明する。

力端子C0、および後段部から転送の許可または転送の禁止を示す転送許可信号を受ける転送許可入力端子R1を有している。転送制御回路1は、前段部からのパルスを受けると、後段部からの転送許可信号が許可状態であるならば、後段部にパルスを出力するとともにデータ保持回路2にパルスを出力する。データ保持回路2は、転送制御回路1から与えられるパルスに応答して、前段部から与えられるデータDIを保持し、その保持したデータを後段部に出力データDOとして与える。

第13図は、従来の自己同期型転送制御回路の一例を示す回路図である。

パルス入力端子C1は前段部からのパルスを受け、転送許可出力端子R0は前段部に転送許可信号を出力する。パルス出力端子C0は後段部にパルスを出力し、転送許可入力端子R1は後段部から転送許可信号を受ける。マスタリセット入力端子MRは、マスタリセット信号を受ける。

NANDゲート301, 302は、RSフリップフロップ111を構成している。ノード $\bar{S}$ に負

まず、マスタリセット端子MRに負のパルスが与えられると、この転送制御回路は初期化される。これにより、パルス出力端子C0、ノード $\bar{Q}$ および転送許可出力端子R0にそれぞれ“1”が出力される。転送許可出力端子R0の出力が“1”であることは、転送許可状態を示し、“0”であることは転送禁止状態を示している。

転送許可出力端子R0からの転送許可信号が許可状態であることに基づいてパルス入力端子C1に前段部から負のパルスが与えられると、RSフリップフロップ111がセットされ、ノードQの出力が“1”となる。これにより、転送許可出力端子R0からの出力が“0”(禁止状態)となる。また、ノード $\bar{Q}$ からの出力が“0”となり、インバータ306によりノードRQの信号は“1”となる。

後段部から転送許可入力端子R1に与えられる転送許可信号が“1”(許可状態)である場合には、ゲート303の出力が“0”となり、RSフリップフロップ111はリセットされる。これに

より、ノードQの出力が“0”となり、転送許可出力端子R0からの転送許可信号は“1”（禁止状態）となる。また、ノード $\bar{Q}$ の出力が“1”となり、ノードRQの信号が“0”となる。これにより、ノード $\bar{R}$ への入力が“1”に復帰し、RSフリップフロップ111は初期状態に戻る。

上記の一連の動作によってノード $\bar{R}$ には負のパルスが与えられたことになる。この負のパルスは遅延回路304を経由してパルス出力端子COから出力される。

ノードRQの信号が“1”となったときに転送許可入力端子RIに与えられる転送許可信号が“0”（禁止状態）であれば、ノード $\bar{R}$ への入力が“0”とはならない。そのため、パルスの転送が保留される。

このようにして、パルス入力端子CIに入力されたパルスは、後段部から転送許可入力端子RIに与えられる転送許可信号の状態に基づいて自律的にパルス出力端子COに転送される。

なお、前段部および後段部の各々は、周辺回路

通過する際の伝搬遅延時間を示している。また、パルス出力端子COからの出力の立下がりから次の立下がりまでの時間Trは、データの入力／出力間隔を示している。伝搬遅延時間Ttおよびデータの入力／出力間隔Trのいずれも転送制御回路の構成により決定される。

#### 【発明が解決しようとする課題】

第13図の転送制御回路は以下に説明するよう、主として3つの問題点を有する。

(1) 転送許可入力端子RIに与えられる転送許可信号は、後段部へのパルスの転送の許可または禁止を示すのみであり、パルス出力端子COから出力されたパルスが後段部により無事に受取られか否かは考慮されていない。したがって、パルス出力端子COから出力されたパルスが後段部に到着するまでの過程において、何らかの要因によりそのパルスが消滅しても、そのことは一切不明となってしまう。それは、システム的に誤動作の原因となる。

また、多數のバッファが転送制御回路とその後

あるいは同様の転送制御回路である。

第15図は、複数の転送制御回路1a, 1b, 1cおよび複数のデータ保持回路2a, 2b, 2cをそれぞれ直列に接続した例を示すブロック図である。

第15図において、転送制御回路1bのパルス入力端子CIには転送制御回路1aのパルス出力端子COが接続され、転送制御回路1bのパルス出力端子COには転送制御回路1cのパルス入力端子CIが接続される。転送制御回路1bの転送許可出力端子R0には転送制御回路1aの転送許可入力端子RIが接続され、転送制御回路1bの転送許可入力端子RIには転送制御回路1cの転送許可出力端子R0が接続される。

第16図は、第15図に示すように直列に接続された転送制御回の動作を説明するためのタイミングチャートである。

第16図において、パルス入力端子CIの入力の立下がりからパルス出力端子COの出力の立下がりまでの時間Trtは、パルスが転送制御回路を

段部との間に挿入されている場合のように、転送制御回路からその後段部までの距離が時間的に長い場合や、後段部から転送許可入力端子RIに与えられる転送許可信号の応答が遅い場合には、パルス入力端子CIに連続的にパルスが与えられると、そのパルスはパルス出力端子COから連続的に出力される。そのため、後段部がそれらの連続的なパルスを受けることができず、誤動作する可能性がある。

(2) RSフリップフロップ111のノード $\bar{R}$ への入力が“0”となった後再び“1”に復帰するまでの間においてパルス入力端子CIへの入力が“0”のままであった場合には、RSフリップフロップ111のノード $\bar{S}$ への入力およびノード $\bar{R}$ への入力が共に“0”となる。この状態は禁止状態である。これにより、第17図に示すように、ノードRQの信号が発振することになる。

すなわち、RSフリップフロップ111は実際はリセットされていないにもかかわらず、ノード $\bar{R}$ への入力が“0”となることにより禁止状態と

なり、ノード  $\bar{Q}$  からの出力が “1” となる。そのため、ノード  $RQ$  の信号が “0” となり、ノード  $\bar{R}$  への入力が再び “1” に復帰する。しかし、 $RS$  フリップフロップ 111 はセットされた状態にあるので、ノード  $Q$  からの出力は “1” のままである。したがって、ノード  $\bar{Q}$  からの出力は再び “0” となる。それにより、再びノード  $\bar{R}$  への入力が “0” となる。このような動作が繰り返される。

したがって、パルス入力端子  $C1$  に与える負のパルスのパルス幅は十分に短い (“0” の期間が短い) 必要がある。ただし、この場合、パルスの伝送過程においてパルスが消滅しやすいという危険性をもっている。

(3) パルス出力端子  $C0$  から出力されるパルスの幅は、パルスが消滅する危険性を排除するために、可能な限り長い方が好ましい。

また、自己同期型転送制御回路を用いてデータフロー型パイプラインシステムを構成する場合には、パイプライン段間のデータの処理時間はパル

ス入力端子  $C1$  へのパルスの入力からパルス出力端子  $C0$  からのパルスの出力までの伝搬遅延時間  $T_d$  により決定される。この伝搬遅延時間  $T_d$  が短いと、高速動作が可能となるが、1段のパイプラインにおけるデータの処理時間も短くなる。そのため、処理内容に限りが生じるか、あるいは、一定の処理を行なうためにより多くのパイプラインが必要となる。逆に、この伝搬遅延時間  $T_d$  が長いと、1段のパイプラインで処理される内容が豊富になるが、システムとしての動作が低速になってしまう。したがって、システムの仕様に応じて転送制御回路の最適な遅延時間を設定することが望ましい。

第13図の転送制御回路では、以下に示す理由

から、出力するパルスの幅や、パルスがパルス入力端子  $C1$  に入力されてからパルス出力端子  $C0$  から出力されるまでの時間等を最適な値に設定することが極めて困難である。

まず、パルス幅を広げる方法を考察する。第14図のタイミングチャートからも明らかなように、

パルス出力端子  $C0$  から出力されるパルスの幅は、ゲート 302 への入力からゲート 303 からの出力までの遅延時間により決定される。そこで、インバータ 306 の遅延時間を長くすることによりパルス幅を広げてみる。この調整の結果を第18図のタイミングチャートに示す。第18図に示すように、ノード  $RQ$  を伝搬するパルスの幅は広くなっている。しかし、ノード  $RQ$  の信号が “0” に復帰する前に、後段部から送信許可入力端子  $R1$  に与えられる送信許可信号に応答してノード  $\bar{R}$  への入力が “1” に復帰する。その結果、パルス出力端子  $C0$  から出力されるパルスの幅は所望の通りには広がっていない。

そこで、送信許可入力端子  $R1$  への入力の応答を遅くするために、遅延回路 304 の遅延時間をもっと大きくしてみる。その調整の結果を第19図のタイミングチャートに示す。ノード  $RQ$  を伝搬するパルスの幅は上記のように広がっている。

また、遅延回路 304 の遅延時間の拡大により、前段部から与えられる送信許可入力端子  $R1$  への

入力の立上がりが遅くなる。それにより、ノード  $\bar{R}$  への入力の立上がりが遅くなる。その結果、パルス出力端子  $C0$  から出力されるパルスの幅も所望のとおり広がっている。

しかし、ノード  $RQ$  を伝搬するパルスの幅の拡大により、ノード  $\bar{R}$  への入力が “0” となる期間も長くなる。ノード  $\bar{R}$  への入力が “0” であると、パルス入力端子  $C1$  への入力が “0” となってもノード  $\bar{Q}$  からの出力は “1” のまま変化せず、ノード  $RQ$  の信号は “0” のまま変化しない。したがって、ノード  $\bar{R}$  への入力が “0” の期間にはパルス入力端子  $C1$  にパルスを入力することができない。

このように、ノード  $\bar{R}$  の入力が “0” となる期間が拡大することにより、パルス入力端子  $C1$  にパルスを入力することができない期間も長くなっている。その上、送信許可出力端子  $R0$  からの出力が “1” (許可状態) となっているにもかかわらず、パルス入力端子  $C1$  にパルスを入力することができない期間  $T_1$  が生じている。その結果、

送信許可出力端子R0から出力される送信許可信号の意義がほとんど失われている。この現象は、すでに第18図にも現われている。

この矛盾に対処するために、送信許可出力端子R0からの出力が“1”に復帰するタイミングを遅らせてみる。すると、このタイミングの遅れは後段部にも反映され、送信許可入力端子R1への入力が“1”に立上がるタイミング（A点の位置）が右にシフトされる。それにより、パルス出力端子C0からの出力が“0”に立下がるタイミング（B点の位置）も右にシフトされる。その結果、データの入力／出力間隔Trのものが大きくなってしまう。

データの入力／出力間隔Trが短いほど、単位時間に処理されるデータの量が多くなり、システムがより高速となる。一方、パルスの伝搬遅延時間Ttが大きいほど、1段のバイブルайнで処理される内容が豊富になる。パルスの伝搬遅延時間Ttをデータの入力／出力間隔Trよりも大きくすることは不可能であるが、前者を後者に可能な

限り近づけることはタイミング上無駄のないシステムを構成するために極めて重要である。第19図に示すようにデータの入力／出力間隔Trのみが増大することは、タイミング上での無駄を増大させることになり、好ましくない。

上記のような理由により、システムの仕様に応じて、パルスの幅、伝搬遅延時間Tt、およびデータの入力／出力間隔Trを最適な値に設定することが必要となる。

しかし、上記のように、従来の転送制御回路では、これらの値を最適な値に設定することは極めて困難である。

この発明の目的は、①パルスの消滅やパルスの過剰な転送による誤動作が防止され、②入力されるパルスの幅が長い場合にも発振することなく、③パルスの幅や伝搬遅延時間を容易に設定可能な自己同期型転送制御回路を提供することである。

この発明の他の目的は、任意のタイミングで転送を抑止できる機能を有した自己同期型転送制御回路を提供することである。

#### 【課題を解決するための手段】

第1の発明に係る転送制御回路は、転送の許可または禁止を指示する指示信号に基づいて、前段部から与えられる第1のパルスを第2のパルスとして後段部に転送する自己同期型転送制御回路であって、第1の記憶手段、第2の記憶手段および論理手段を備える。第1の記憶手段は、リセット機能を有し、第1のパルスを記憶する。第2の記憶手段は、リセット機能を有し、指示信号の禁止状態に応答してリセットされる。論理手段は、第1の記憶手段が第1のパルスを記憶していること、第1の記憶手段に第1のパルスが与えられていないこと、第2の記憶手段がリセット状態であること、および指示信号が許可状態であることに応答してパルスを出力する。第1の記憶手段は論理手段から出力されるパルスによりリセットされ、第2の記憶手段は論理手段から出力されるパルスを記憶して第2のパルスを発生する。

第2の発明に係る自己同期型転送制御回路は、第1の発明に係る転送制御回路に加えて、第2の

記憶手段から出力される第2のパルスを遅延させる遅延手段をさらに備える。

第3の発明に係る自己同期型転送制御回路は、第1の発明に係る転送制御回路に加えて、所定の禁止信号に応答して論理手段からのパルスの出力を強制的に阻止する阻止手段をさらに備える。

第4の発明に係る自己同期型転送制御回路は、第1の発明に係る転送制御回路に加えて、第2の記憶手段からの第2のパルスの出力を強制的に阻止する阻止手段をさらに備える。

第5の発明に係る自己同期型転送制御回路は、第1の発明に係る転送制御回路に加えて、禁止信号発生手段および阻止手段をさらに備える。禁止信号発生手段は、所定の要求信号が与えられたことおよび第2の記憶手段がリセット状態であることに応答して所定の禁止信号を発生する。阻止手段は、禁止信号に応答して第2の記憶手段からの第2のパルスの出力を阻止する。

#### 【作用】

第1ないし第5の発明に係る自己同期型転送制

特開平4-95185(6)

御回路においては、指示信号が禁止状態となって第2の記憶手段がリセットされない限り、第2の記憶手段は第2のパルスの出力状態を維持する。したがって、パルスの消滅による誤動作が防止される。

また、指示信号が禁止状態となって第2の記憶手段がリセットされ、引き続き指示信号が許可状態とならない限り、第2の記憶手段は次の第2のパルスを出力しない。したがって、過剰なパルスの転送による誤動作が防止される。

さらに、第1の記憶手段に第1のパルスが入力されている間は論理手段はパルスを発生せず、第1の記憶手段から第2の記憶手段へのパルスの転送が保留される。そのため、第1のパルスの幅が十分に長くても、論理手段の出力が発振しない。したがって、任意の幅を有する第1のパルスを第1の記憶手段に入力することが可能となる。

特に、第2の発明に係る自己同期型転送制御回路においては、遅延手段の遅延時間を任意の値に設定することにより、第1および第2の記憶手段

れる。このように、2通りの安定な阻止動作のいずれかが行なわれる。

また、第1および第2の記憶手段の動作を保証することができないほど十分に遅いパルスが発生しても、上記の2通りの安定した動作のいずれかが保証されている。したがって、第1および第2の記憶手段の動作を予測する必要もなくなる。

【実施例】

以下、図面を参照しながらこの発明の実施例を詳細に説明する。

第1図は、この発明の第1の実施例による自己同期型転送制御回路の構成を示す回路図である。

第1図において、NANDゲート101、102がRSフリップフロップ111を構成し、NANDゲート104、105がRSフリップフロップ112を構成する。RSフリップフロップ111、112の各々の動作は、第13図に示されるRSフリップフロップ111の動作と同様である。

4入力NANDゲート103の第1の入力端子はパルス入力端子C1に接続され、第2の入力端

および論理手段の動作に全く影響を与えることなく、システムの仕様に応じた最適な出力パルス幅および伝搬遅延時間を設定することができる。

また、遅延手段の遅延時間を調整しても、伝搬遅延時間とデータの入力／出力間隔との差が常に一定であるので、タイミング上の性能の劣化がない。

さらに、遅延時間の調整による出力パルスのパルス幅の変化量と、データの入力／出力間隔の変化量とは、1対2となり、最適な値となる。したがって、この点に関して遅延時間の調整による性能の劣化はない。

第5の発明に係る自己同期型転送制御回路によれば、所定の要求信号が与えられ、かつ第2の記憶手段がリセット状態であるときに禁止信号が発生され、第2の記憶手段からの第2のパルスの出力が阻止される。したがって、どのようなタイミングで要求信号が与えられても、即時にパルスの転送が阻止されるか、あるいは、進行中のパルスの正常な転送動作後に次のパルスの転送が阻止さ

れる。このように、2通りの安定な阻止動作のいずれかが行なわれる。

また、第1および第2の記憶手段の動作を保証することができないほど十分に遅いパルスが発生しても、上記の2通りの安定した動作のいずれかが保証されている。したがって、第1および第2の記憶手段の動作を予測する必要もなくなる。

【実施例】

以下、図面を参照しながらこの発明の実施例を詳細に説明する。

第1図は、この発明の第1の実施例による自己同期型転送制御回路の構成を示す回路図である。

第1図において、NANDゲート101、102がRSフリップフロップ111を構成し、NANDゲート104、105がRSフリップフロップ112を構成する。RSフリップフロップ111、112の各々の動作は、第13図に示されるRSフリップフロップ111の動作と同様である。

4入力NANDゲート103の第1の入力端子はパルス入力端子C1に接続され、第2の入力端

子はRSフリップフロップ111のノードQに接続され、第3の入力端子は転送許可入力端子R1およびRSフリップフロップ112のノードRに接続され、第4の入力端子はパルス出力端子COに接続される。ゲート103の出力端子はRSフリップフロップ112のノードSに接続される。RSフリップフロップ112のノードQは2つのインバータ107、108を介してパルス出力端子COに接続される。

次に、第1図の転送制御回路の動作を第2図のタイミングチャートを参照しながら説明する。

まず、マスタリセット入力端子MRに負のパルスが与えられると、第1図の転送制御回路は初期化される。これにより、パルス出力端子CO、ノードRQおよび転送許可出力端子ROに“1”が出力される。

転送許可出力端子ROからの出力が“1”（許可状態）であることに応答して、前段部（図示せず）がパルス入力端子COに負のパルスを入力すると、パルスの立下がりに応答してRSフリップ

フロップ111がセットされ、ノードQからの出力が“1”となる。それにより、転送許可出力端子R0からの出力が“0”（禁止状態）となる。このようにして、パルスを受取ったことが前段部に通知される。

パルス入力端子C1に与えられるパルスの立上がり時点で転送許可入力端子R1に与えられる転送許可信号が“1”（許可状態）であれば、ゲート103の出力（ノードRQの信号）が“0”となる。そのため、RSフリップフロップ111のノードRへの入力が“0”となり、そのRSフリップフロップ111はリセットされる。これにより、RSフリップフロップ111のノードQからの出力が“0”となり、転送許可出力端子R0からの出力は“1”となる。また、ゲート103の出力（ノードRQの信号）は“1”に復帰する。この時点で、RSフリップフロップ111の周辺の回路は初期化されることになる。

上記の動作により、ノードRQには負のパルスが生じていることになる。その負のパルスによっ

てRSフリップフロップ112はセットされ、ノードRQからの出力が“0”となる。ノードRQからの“0”的出力はインバータ107, 108を通じてパルス出力端子COに出力される。同時に、その出力はゲート103に帰還される。それにより、ゲート103は、再び“0”を出力しないようにロックされる。

後段部（図示せず）は、パルス出力端子COから出力される“0”を検知すると、転送許可入力端子R1に負のパルスを入力する。これにより、後段部がパルス出力端子COから出力される“0”を検知したことが、この転送制御回路に通知される。

転送許可入力端子R1に与えられるパルスの立下がり時点で、RSフリップフロップ112はリセットされる。それにより、パルス出力端子COからの出力は“1”に復帰し、その周辺の回路が初期化されるとともに、ゲート103のロックが解除される。このようにして、パルス出力端子COからパルスが出力される。

一方、転送許可入力端子R1に入力されているパルスが“1”に立上がるまでは、ゲート103は転送許可入力端子R1への入力によるロック状態を続ける。

このように、RSフリップフロップ112が上記の一連の動作を行なっている間にパルス入力端子C1に与えられる負のパルスにより再びRSフリップフロップ111がセットされても、転送許可入力端子R1への入力が“1”に立上がるまではゲート103から負のパルスが出力されない。したがって、RSフリップフロップ111からRSフリップフロップ112へのパルスの転送は保留される。

また、パルス入力端子C1への負のパルスの入力によりRSフリップフロップ111がセットされても、転送許可入力端子R1への入力が“0”的状態（禁止状態）であればノードRQに負のパルスは出力されない。したがって、ノードRQを経由するRSフリップフロップ112へのパルスの転送、さらにパルス出力端子COへのパルスの

転送は保留される。

このようにして、パルス入力端子C1に入力されたパルスは、後段部から転送許可入力端子R1へ入力される転送許可信号の状態に従って、自律的にパルス出力端子COに転送される。

第3図は、第1図の構成を有する複数の転送制御回路を第15図に示すように直列に接続した場合の動作を示すタイミングチャートである。

データフロー型システムでは、第1図に示される構成を有する複数の転送制御回路を直列に接続することにより、システムにおけるパルスの転送を制御する。第3図において、T1はパルスが第1図の転送制御回路を通過する際の伝搬延滞時間を示し、Trはデータの入力／出力間隔である。

これらの時間は、第1図の転送制御回路の回路定数により決定される。

第4図は、この発明の第2の実施例による自己同期型転送制御回路の構成を示す回路図である。

第4図の転送制御回路においては、インバータ108の出力端子（ノードCO'）とパルス出力

端子C0との間に遅延回路201が接続されている。遅延回路201の遅延量をDとする。

第4図の転送制御回路の動作を第5図のタイミングチャートを参照しながら説明する。

第4図の転送制御回路の入力側および出力側には同様の構成を有する転送制御回路が接続される。

第5図から明らかのように、パルス出力端子C0からの出力はノードC0の出力よりも遅延量Dだけ常に遅れる。したがって、この転送制御回路をパルスが通過する時間は、パルス入力端子C1に入力されるパルスの幅と同じであるとすれば、遅延量Dだけ長くなる。また、出力側の転送制御回路から転送許可入力端子R1に与えられる転送許可信号も遅延量Dだけ遅れるので、パルス出力端子C0から出力されるパルスの幅もDだけ広がる。

さらに、パルス入力端子C1にパルス出力端子C0から出力されるパルスと同じパルス(第5図においてパルス入力端子C1に与えられる1つ目のパルス)を入力した場合において、パルスが転

れるパルスの幅となるからである。

遅延回路201の挿入によりデータの入力／出力間隔Trが $2 \times D$ だけ増加しているのに対して、出力されるパルス幅はDだけ増加している。したがって、遅延回路201の挿入によって、パルス幅の変化の大きさと、データの入力／出力間隔Trの変化の大きさとの比が1対2となる。これはデューティー比が最も適した量である50%に近く点で重要である。

また、遅延回路201を出力側に挿入しても、RSフリップフロップ111の周辺の回路の動作は影響を受けず、第1図の転送制御回路と同様の動作が行なわれる。

第6図は、この発明の第3の実施例による転送抑止機能付自己同期型転送制御回路の構成を示す回路図である。

第6図の転送制御回路においては、4入力NANDゲート103に代えて5入力NANDゲート202が用いられる。ゲート202の第5の入力端子には禁止信号を受ける禁止信号入力端子 $\overline{IN}$

送制御回路を通過する際の伝搬遅延時間Ttと、パルスの入力／出力間隔Trとを比較する。入力側にも同じ構成の転送制御回路が接続されているので、パルス入力端子C1に入力されるパルスの幅はDだけ広がり、かつ、パルス出力端子C0から出力されるパルスの立上がりは遅延量Dだけ遅れる。そのため、伝搬遅延時間Ttは $2 \times D$ の時間だけ長くなる。パルス出力端子C0からの出力の立上がりはノードC0'の出力の立上がりよりも遅延量Dだけ遅れるので、データの入力／出力間隔Trは $2 \times D$ の時間だけ長くなる。このように、遅延回路201を挿入しても、伝搬遅延時間Ttとデータの入力／出力間隔Trとの差は変わらない。

ここで、パルス入力端子C1に入力されるパルスの幅をパルス出力端子C0から出力されるパルスの幅と同じであると仮定するのは、入力側に第1図の構成を有する転送制御回路が直列に接続されている場合には、パルス入力端子C1に入力されるパルスの幅がパルス出力端子C0から出力さ

$\overline{H}$ が接続されている。禁止信号入力端子 $\overline{INH}$ への入力が“0”に設定されると、パルスの伝搬は強制的に阻止される。

第6図の転送制御回路の動作を第7図のタイミングチャートを参照しながら説明する。

禁止信号入力端子 $\overline{INH}$ への入力が“0”である期間は、ゲート202の出力が“1”にロックされる。そのため、パルス入力端子C1にパルスが入力されても、ゲート202からはパルスが出力されず、RSフリップフロップ112にはパルスが転送されない。

その一方、パルス入力端子C1に入力されたパルスはRSフリップフロップ111に記憶されている。したがって、パルスの転送が保留されている状態になる。禁止信号入力端子 $\overline{INH}$ への入力が“1”になると、ゲート202のロックは解除される。それにより、パルスがRSフリップフロップ111からRSフリップフロップ112に転送され、パルス出力端子C0からその転送されたパルスが出力される。

このように、第6図の転送制御回路によれば、禁止信号入力端子  $\overline{INH}$ への入力を利用することにより、周辺回路からパルスの転送の許可および阻止を制御することが可能となる。

第8図は、この発明の第4の実施例による転送抑止機能付自己同期型転送制御回路の構成を示す回路図である。

第8図の転送制御回路においては、インバータ108の出力端子（ノードCO'）がANDゲート203の一方の入力端子に接続され、そのゲート203の出力端子はパルス出力端子COに接続されている。ゲート203の他方の入力端子は、禁止信号を受ける禁止信号入力端子INHに接続されている。禁止信号入力端子INHへの入力を周辺回路により“1”に設定することにより、パルスの伝播が強制的に阻止される。

第8図の転送制御回路の動作を第9図のタイミングチャートを参照しながら説明する。

禁止信号入力端子INHへの入力が“1”である期間にパルス入力端子C1に負のパルスが入力

路と同様に、禁止信号入力端子INHへの入力を利用することにより、周辺回路からパルスの転送の許可および阻止を制御することが可能となる。

第10図は、この発明の第5の実施例による転送抑止機能付自己同期型転送制御回路の構成を示す回路図である。

第10図において、ノードCO' ANDゲート205の一方の入力端子との間に遅延回路204が接続され、ノードCO' とANDゲート205の他方の入力端子との間に調停記憶回路210が接続される。ゲート205の出力端子はパルス出力端子COに接続される。ゲート205は転送抑止ゲートである。ノードINH1の出力が“1”であると、パルス出力端子COにはパルスが出力されない。

調停記憶回路210は、NANDゲート211、212、213を含み、ゲート211、212がRSフリップフロップを構成している。ノードINがパルス入力端子であり、ノード $\overline{L}$ がリセット兼パルス無効機能入力端子である。ノード $\overline{L}$ への

ると、この負のパルスはノード $\overline{RQ}$ を経由してRSフリップフロップ112に転送される。しかしこの負のパルスのパルス出力端子COへの出力は、ゲート203により阻止される。ここで、RSフリップフロップ111からRSフリップフロップ112に転送されたパルスは、RSフリップフロップ112に記憶されており、転送が保留されている状態となる。この状態においては、RSフリップフロップ111は初期状態に復帰しているので、パルス入力端子C1にさらにもう1つのパルスを入力することが可能となる。そして、禁止信号入力端子INHへの入力が“0”になると、ノードCO'の信号がパルス出力端子COに出力される。

1つ目のパルスがパルス出力端子COから出力されると、RSフリップフロップ111において保留されていたパルスが、RSフリップフロップ112に転送され、2つ目のパルスとしてパルス出力端子COから出力される。このように、第8図の転送制御回路によれば、第6図の転送制御回

路と同様に、禁止信号入力端子INHへの入力を利用することにより、周辺回路からパルスの転送の許可および阻止を制御することが可能となる。

第10図は、この発明の第5の実施例による転送抑止機能付自己同期型転送制御回路の構成を示す回路図である。

第10図において、ノードCO' ANDゲート205の一方の入力端子との間に遅延回路204が接続され、ノードCO' とANDゲート205の他方の入力端子との間に調停記憶回路210が接続される。ゲート205の出力端子はパルス出力端子COに接続される。ゲート205は転送抑止ゲートである。ノードINH1の出力が“1”であると、パルス出力端子COにはパルスが出力されない。

調停記憶回路210は、NANDゲート211、212、213を含み、ゲート211、212がRSフリップフロップを構成している。ノードINがパルス入力端子であり、ノード $\overline{L}$ がリセット兼パルス無効機能入力端子である。ノード $\overline{L}$ への

入力が“0”であると、ノードINへの入力にかかわらず、ノードINH1から“0”が出力される。ノード $\overline{L}$ への入力がたとえ“1”となっても、ノードINへの入力が“0”であると、ノードINH1は“0”を出力し続ける。ノード $\overline{L}$ への入力が“1”でありかつノードINへの入力が“1”となると、ノードINH1から“1”が出力される。この状態は、ノードINへの入力が“0”に復帰しても継続する。

なお、この後、INへの入力がいかなる値であっても、ノード $\overline{L}$ への入力が“0”に立下がると、ノードINH1の出力は再び“0”に復帰する。

調停記憶回路210のノード $\overline{L}$ は、周辺回路からパルスの転送を阻止するための要求信号を受ける要求信号入力端子REQに接続される。

第10図の転送制御回路の動作を第11a図、第11b図、第11c図および第11d図を参照しながら説明する。

まず、マスタリセット入力端子MRに負のパルスが与えらると、この転送制御回路は初期化され

## 特開平4-95185 (10)

る。それにより、パルス出力端子CO、ノードRQおよび転送許可出力端子ROから“1”が出力される。

第11A図のタイミングチャートを参照しながら、周辺回路から転送抑止要求が与えられていない場合（要求信号入力端子REQが“0”的場合）の動作を説明する。

この場合、調停記憶回路210の動作によってノードINH1からは“0”が出力されている。転送許可出力端子ROからの出力が“1”（許可状態）であることに応答して前段部（図示せず）がパルス入力端子CIに負のパルスを入力する。負のパルスの立下りに応答してRSフリップフロップ111がセットされ、ノードQからの出力が“1”となる。また、転送許可出力端子ROからは“0”が出力され、前段部にパルスを受取ったことが通知される。

パルス入力端子CIに入力されているパルスの立上がり時に転送許可入力端子RIへの入力が“1”（許可状態）であると、ゲート103の出

“0”をしないようにロックされる。

後段部（図示せず）がパルス出力端子COからの“0”的出力を検知すると、転送許可入力端子RIに負のパルスが与えられる。これにより、後段部が負のパルスを検知したことがこの転送制御回路に通知される。

転送許可入力端子RIに与えられる負のパルスの立下りに応答してRSフリップフロップ112がリセットされ、ノードCO'およびパルス出力端子COからの出力が“1”に復帰する。それにより、周辺の回路は初期状態に戻る。また、ノードCO'からの出力によるゲート103のロックも解除される。このようにして、パルス出力端子COからパルスが出力される。

第11B図を参照しながら、パルスの転送動作中でないときに転送抑止要求が与えられた場合の動作および転送の再開動作を説明する。

パルスの転送動作中でない状態（ノードCO'の出力が“1”である場合）において、要求信号入力端子REQへの入力が“1”（周辺回路が転

力（ノードRQの信号）が“0”となる。これにより、RSフリップフロップ111がリセットされる。したがって、RSフリップフロップ111のノードQからの出力が“0”となり、それにより送信許可出力端子ROからの出力は“1”（許可状態）となる。また、ゲート103の出力（ノードRQの信号）は“1”に復帰する。この時点で、RSフリップフロップ111の周辺の回路は初期状態に戻ったことになる。

上記の動作によってノードRQには負のパルスが発生していることになる。その負のパルスによってRSフリップフロップ112はセットされ、ノードCO'の出力は“0”となる。ノードCO'の出力が遅延回路204を経由して一定の遅延時間の後ゲート205に与えられる。ノードINH1の出力は“0”であるので、ノードCO'からの出力はゲート205を通過し、パルス出力端子COに“0”が出力される。

同時に、ノードCO'の出力はゲート103に帰還される。それにより、ゲート103は再び

送の抑止を要求している状態）になると、調停記憶回路210の動作によりノードINH1からの出力が“1”となる。この状態においてパルス入力端子CIに負のパルスが入力されると、RSフリップフロップ111はセットされ、ノードQからの出力が“1”となり、転送許可出力端子ROからの出力が“0”（禁止状態）となる。

それにより、第11A図により説明したように、ノードRQから負のパルスが発生され、その負のパルスによってRSフリップフロップ112がリセットされ、転送許可出力端子ROからの出力が“1”に復帰する。また、その負のパルスによりRSフリップフロップ112はセットされ、ノードCO'に“0”が出力される。ノードCO'の出力は、遅延回路204を経由して一定の遅延時間の後ゲート205に与えられる。しかし、ノードINH1の出力が“1”であるので、ゲート205の働きによりノードCO'の出力はパルス出力端子COには出力されない。

要求信号入力端子REQへの入力が“0”に立

下がると、調停記憶回路210の動作によりノードINH1の出力が“0”に変化する。それにより、ノードCO'からの出力は、ゲート205を通過してパルス出力端子COに与えられ、後段部に“0”が出力される。

以降、第11A図により説明した手順に基づいて転送動作が行なわれ、RSフリップフロップ112に記憶および保留されていたパルスがパルス出力端子COから出力される。

第11C図を参照しながら、パルスの転送動作中に転送抑止要求が与えられた場合の動作を説明する。

要求信号入力端子REQへの入力が“0”的状態(ノードINH1の出力が“0”的場合)において、入力端子CIに負のパルスが入力されると、第11A図により説明した動作が行なわれ、ノードCO'およびパルス出力端子COからの出力が“0”となる。ノードCO'からの出力が“0”的状態(パルスの転送中)において、要求信号入力端子REQへの入力が“1”(転送抑止要求)

した時点で、ゲート103のロックが解除され、追加のパルスに基づいてノードRQへ負のパルスが出力される。その負のパルスにより、RSフリップフロップ111がリセットされ、RSフリップフロップ112がセットされる。それにより、ノードCO'からの出力が“0”になる。

しかし、ノードCO'からの出力が再び“0”となっても、調停記憶回路210の動作によりノードINH1からの出力が“0”に復帰しないので、ノードCO'からの出力は遅延回路204の通過後、ゲート205によりパルス出力端子COへの出力が阻止される。

上記の転送抑止の後の転送の再開動作は、第11A図により説明した動作と同様である。

このように、パルスの転送動作中に、さらには連続した転送動作中に、任意のタイミングで要求信号入力端子REQに“1”を入力すると、パルスの転送動作の合間を縫うように、転送動作中の1つのパルスの転送が終了した時点で転送抑止機能が働き始めている。

に立上げられても、調停記憶回路210の動作により即時にはノードINH1からの出力が“1”に変化しない。

さらに、転送許可出力端子ROからの出力が“1”であることに応答して、パルス入力端子CIに負のパルスが追加される。しかし、ノードCO'の出力が“0”である場合、または転送許可入力端子RIへの入力が“0”であることにに基づいてゲート103がロックされた場合、ノードRQへの負のパルスの発生は保留されてその負のパルスはRSフリップフロップ111に留まる。

一方、後段部(図示せず)がパルス出力端子COからの出力が“0”であることに応答して転送許可入力端子RIに“0”を与えると、RSフリップフロップ112がリセットされ、ノードCO'からの出力が“1”となる。この時点で、調停記憶回路210が動作し、ノードINH1からの出力が“1”となる。それにより、ゲート205にパルスの転送の阻止が指示される。

転送許可入力端子RIへの入力が“1”に復帰

第11D図を参照しながら、パルスの転送動作と転送抑止要求との競合が最もクリティカルな場合の動作を説明する。

最もクリティカルな場合とは、パルスの転送がこれから始まろうとするタイミングと、転送抑止要求が与えられるタイミングとがほぼ同じである場合をいう。このような状況は、パルスの転送動作と転送抑止要求とが相互にまったく非同期に行なわれる場合に、十分に発生し得る。

第11D図において、パルスの転送がこれから始まろうとするタイミングはノードCO'の出力の立下がりであり、転送抑止要求の与えられるタイミングは要求信号入力端子REQへの入力の立上がりである。両者のタイミングが極めて近接している場合、特に、ノードCO'の出力の立下がりに対して要求信号入力端子REQへの入力の立上がりがわずかに早い場合は、第10図におけるゲート213から極めて細い負のパルスが発生する。ゲート211, 212により構成されるRSフリップフロップにこのように極めて細いパルス

が入力されると、RSフリップフロップのセット動作および現行の記憶状態の保持のいずれかを保証することはできない。

したがって、ノードINH1からの出力が“0”と“1”的いずれになるかを予測することが不可能となる。しかし、予測は不可能であるものの、ノードINH1からの出力は必ず“0”か“1”かに安定する。第10図の転送制御回路においては、ノードINH1からの出力がいずれの値にあっても、その後の回路全体としての安定した動作が保証されている。

仮に、そのRSフリップフロップがセット動作を行なったと仮定すると、ノードINH1からの出力は“1”となる。それにより、遅延回路204を経由してゲート205に到着したパルスの転送は、そのゲート205により阻止される。したがって、転送抑止機能が正常に動いたことになる。

一方、そのRSフリップフロップが現行の記憶状態を保持したと仮定すると、ノードINH1からの出力は“0”的ままである。それにより、遅

延回路204を経由してゲート205に到着したパルスは、そのゲート205を通過し、パルス出力端子COから出力される。したがって、パルスの転送動作が正常に行なわれたことになる。

なお、後者の場合には、転送抑止要求が即時に満たされないことになっているが、第11C図により説明したように、現行のパルスの転送が終了し次第、転送抑止機能が有効となる。

最後に、遅延回路204の遅延量が第10図の転送制御回路に与える影響を説明する。

まず、遅延回路204の遅延量を十分に長く設定しておかなければ誤動作の危険性がある。第11D図に示されるタイミングの例におけるように、ノードCO'からの出力の立下がりの直前で要求信号入力端子REQへの入力が立上がり、これが結果的に有効になった場合を考える。この場合、転送の阻止を指示するのノードINH1の出力は、ほぼノードCO'の出力の立下がりから、調停記憶回路210のノードINへの入力からノードINH1からの出力までの遅延時間の後確定する。

もし、この確定までの間にノードCO'からの出力が遅延回路204を通過すると、その出力はゲート205をそのまま通過し、パルス出力端子COからの出力が“0”となってしまう。その後、ノードINH1からの出力によりゲート205の転送抑止機能が働くことになる。結果として、パルス出力端子COに負の極めて細いパルス(グリッジ)が生じることになる。

このように、パルス出力端子COに十分な幅を持たないパルスが出力されると、後段部において思わぬ誤動作を招く危険性がある。したがって、遅延回路204の遅延量を、調停記憶回路210のノードINへの入力からノードINH1からの出力までの遅延時間に比べて、十分に大きく設定する必要がある。

一方で、遅延回路204の遅延量を長くしすぎた場合の動作を説明する。通常のパルスの転送動作においては、第11A図からも明らかのように、パルス出力端子COからの出力の立上がりのタイミングは、ノードCO'の出力の立上がりよりも

ほぼ遅延回路204の遅延量の後となる。また、パルスの転送の直後に転送抑止機能が働く場合には、第11C図からも明らかのように、ノードCO'の出力の立上がりが遅延回路204を経由してパルス出力端子COからの出力の立上がりとなる前に、ノードCO'の出力の立上がりが調停記憶回路210のノードINに入力される。それにより、調停記憶回路210が動作し、ノードINH1からの出力が“0”となる。その結果、ゲート205が動作し、パルス出力端子COからの出力が“1”に復帰する。したがって、この場合、出力端子COからの出力の立上がりのタイミングは、ノードCO'の出力の立上がりより、ほぼ調停記憶回路210のノードINへの入力からノードINH1からの出力までの遅延時間の後になる。

このように、遅延回路204の遅延量が調停記憶回路210の遅延量に比べて大きすぎる場合には、パルス出力端子COから出力されるパルスの幅に大きな変動が生じることになる。

以上のように、遅延回路204の遅延量が第1

0図の転送制御回路に与える影響を考慮すると、その遅延量は調停記憶回路210の遅延量よりある程度大きい値であることが最も適切であると考えられる。

なお、この発明は上記の第1～第5の実施例の回路に限定されない。たとえば、各部分に正論理を用いても負論理を用いてもよい。具体的には、パルス入力端子CIに正のパルスを与えるような回路、パルス出力端子COから正のパルスを出力するような回路、転送許可出力端子ROからの出力が“0”の場合に転送の許可状態を示すような回路、転送許可入力端子RIへの入力が“0”的場合に転送の許可状態を示すような回路などが可能である。要求信号入力端子REQへの“0”的入力が転送抑止要求を示すような回路も可能である。

また、RSフリップフロップ111, 112または調停記憶回路210に、NOR論理を用いてもよい。RSフリップフロップ111, 112または調停記憶回路210に、セット／リセット操

パルスの消滅による誤動作が防止される。

また、後段部がパルス出力端子COから出力される負のパルスを受取ったことに応答して、転送許可入力端子RIに“0”を与え、引き続き次のパルスの転送を許可するために転送許可入力端子RIに“1”を与えない限り、この転送制御回路は次のパルスを出力しない。したがって、過剰なパルスの転送による誤動作が防止される。

このように、従来の転送制御回路における第1番目の問題点が解決されている。

上記第1～第5の実施例の転送制御回においては、パルス入力端子CIへの入力が立下がった後も、その入力が再び“1”に復帰するまでは、ゲート103, 202のロックにより転送が保留される。したがって、パルス入力端子CIに入力されるパルス幅が十分に長い場合の誤動作(発振)が防止される。その結果、任意の幅のパルスをパルス入力端子CIに入力することが可能である。

このように、従来の転送制御回路における第2の問題点が解決されている。

能付Dフリップフロップを用いてもよい。

さらに、転送許可出力端子RO、パルス出力端子COまたはノードINH1をフリップフロップの他方の出力ノードから取出してもよい。

ゲート102, 202として、それと等価的な動作を行なう他の論理ゲートを用いてもよい。

第5の実施例において、ノードINH1またはゲート211の出力端子に、周辺回路に転送抑止機能が働いていることを示す信号を出力する出力端子を設けてもよい。

この発明の転送制御回路は、データフロー型システムに限らず、自己同期型の転送が必要なその他のシステムまたは装置に適用することができる。

上記の第1～第5の実施例によると、次のように、従来の転送制御回路における問題点が解決されている。

上記第1～第5の実施例の転送制御回路によると、後段部から転送許可信号入力端子RIに“0”的転送許可信号が入力されない限り、パルス出力端子COは“0”を出力し続ける。したがって、

出力パルスの幅およびパルスの伝搬遅延時間の設定の困難性は、第4図の実施例のように出力段に遅延回路201を挿入することにより解決される。ここで、遅延回路201の遅延時間Dは全く任意の値に設定することが可能であり、システムの仕様に応じて出力パルスの幅および伝搬遅延時間を最適な値に設定することが可能となる。

そして、遅延回路201を挿入することによても、他のゲートの動作は全く影響を受けない。

さらに、遅延回路201を挿入することにより回路の定数を調整しても、パルスの伝搬遅延時間 $T_t$ とデータの入力／出力間隔 $T_d$ との差が常に一定である。そのため、タイミング上の性能の劣化が見られない。

また、調整による出力パルスのパルス幅の変化量と、データの入力／出力間隔 $T_d$ の変化量とは、1対2の関係にある。したがって、この点においても、調整による性能の劣化は見られない。

このように、従来の転送制御回路における第3の問題点も解決されている。

## 【発明の効果】

以上のように第1ないし第5の発明によれば、1つのパルスごとに確実な転送の制御が行なわれるので、パルスの消滅や過剰な転送による誤動作が防止される。

また、発振という誤動作が生じないので、入力されるパルスの幅を任意に設定することが可能である。

さらに、出力パルスの幅およびパルスの伝搬遅延時間を、容易にかつ任意に調整可能である。しかも、いかなる調整を行なっても、伝搬遅延時間をデータの入力／出力間隔に十分に近い値に設定することが可能である。

特に、第5の発明によれば、いかなるタイミングにおいて転送抑止要求が与えられても、即時の転送阻止あるいは進行中の1つのパルスの正常な転送動作後の転送阻止という2通りの安定した転送抑止動作のいずれかが行なわれる。したがって、パルスの消滅や二重化といった誤動作が防止される。

タイミングチャートである。第12図はデータ伝送路の構成を示すブロック図である。第13図は従来の自己同期型転送制御回路の構成を示す回路図である。第14図は第13図の転送制御回路の動作を説明するためのタイミングチャートである。第15図は複数の転送制御回路を直列に接続した例を示すブロック図である。第16図は第15図のように接続された転送制御回路の動作を説明するためのタイミングチャートである。第17図、第18図および第19図は第13図の転送制御回路の問題点を説明するためのタイミングチャートである。

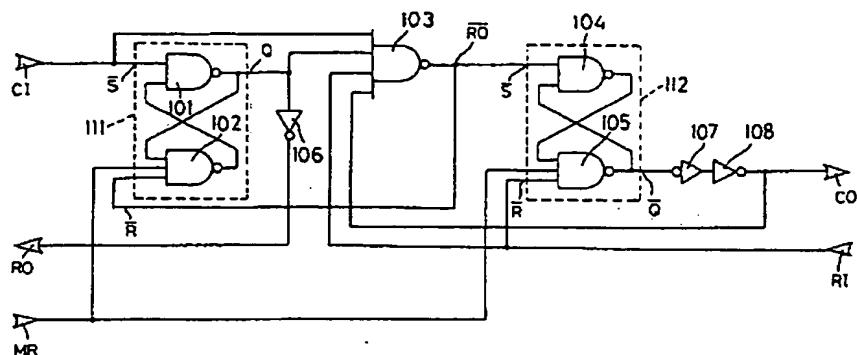
図において111、112はRSフリップフロップ、102は4入力NANDゲート、CIはパルス入力端子、COはパルス出力端子、ROは転送許可出力端子、RIは転送許可入力端子、REQは要求信号入力端子を示す。

なお、各図中同一符号は同一または相当部分を示す。

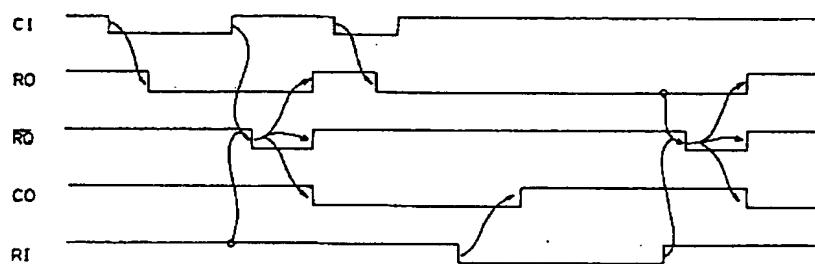
## 4. 図面の簡単な説明

第1図はこの発明の第1の実施例による自己同期型転送制御回路の構成を示す回路図である。第2図および第3図は第1図の転送制御回路の動作を説明するためのタイミングチャートである。第4図はこの発明の第2の実施例による自己同期型転送制御回路の構成を示す回路図である。第5図は第4図の転送制御回路の動作を説明するためのタイミングチャートである。第6図はこの発明の第3の実施例による自己同期型転送制御回路の構成を示す回路図である。第7図は第6図の転送制御回路の動作を説明するためのタイミングチャートである。第8図はこの発明の第4の実施例による自己同期型転送制御回路の構成を示す回路図である。第9図は第8図の転送制御回路の動作を説明するためのタイミングチャートである。第10図はこの発明の第5の実施例による自己同期型転送制御回路の構成を示す回路図である。第11A図、第11B図、第11C図および第11D図は第10図の転送制御回路の動作を説明するための

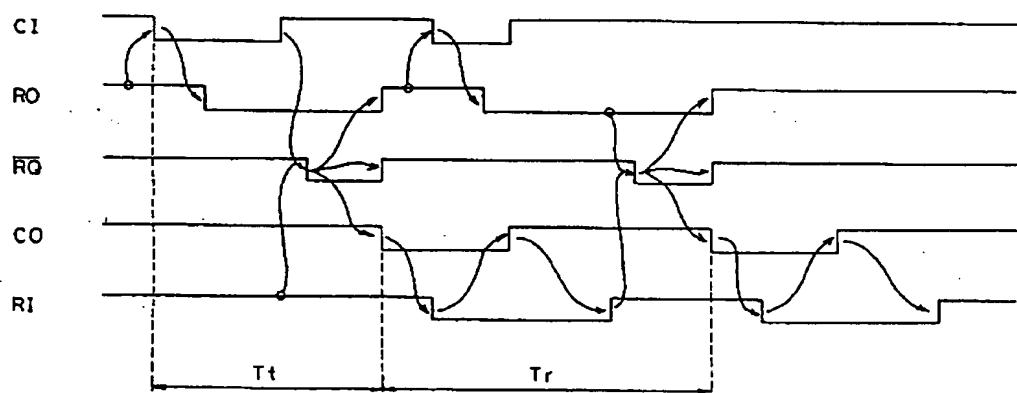
第 1 図



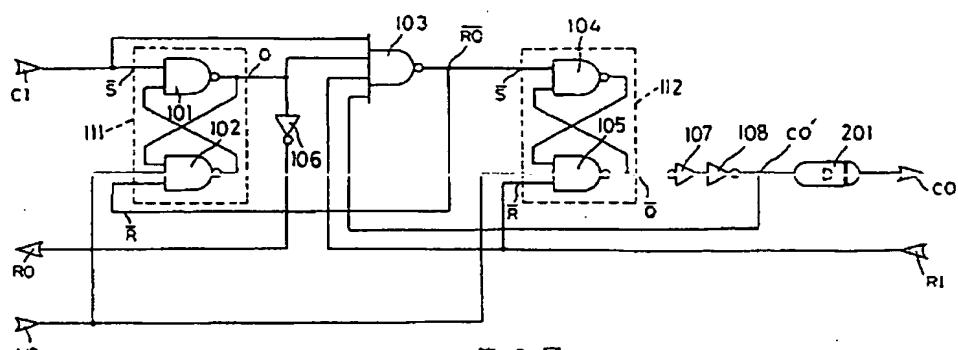
第 2 図



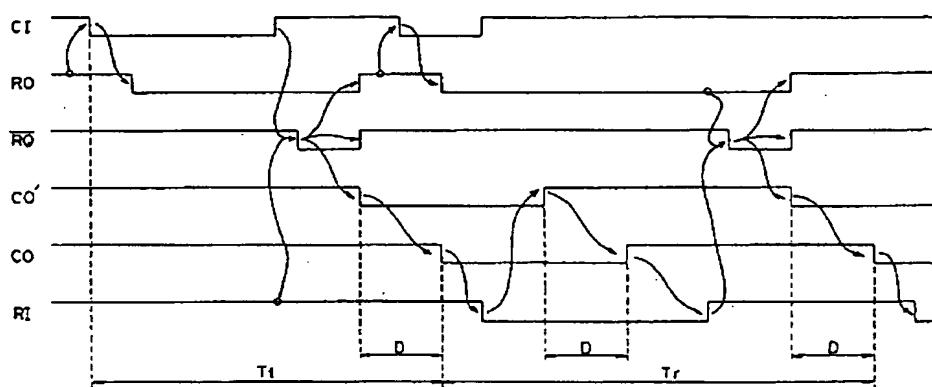
第 3 図



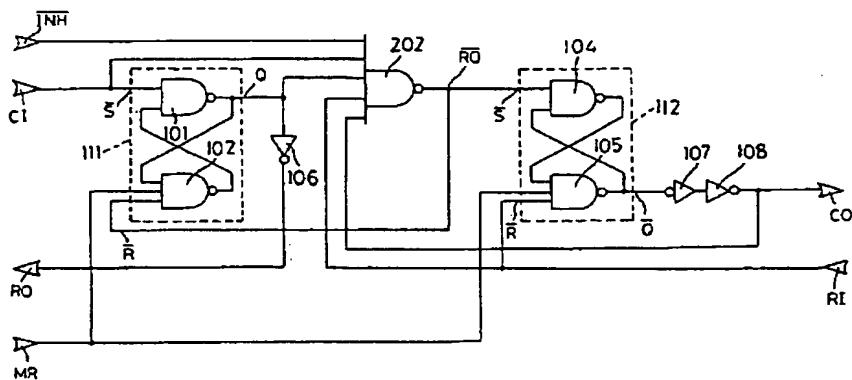
第4図



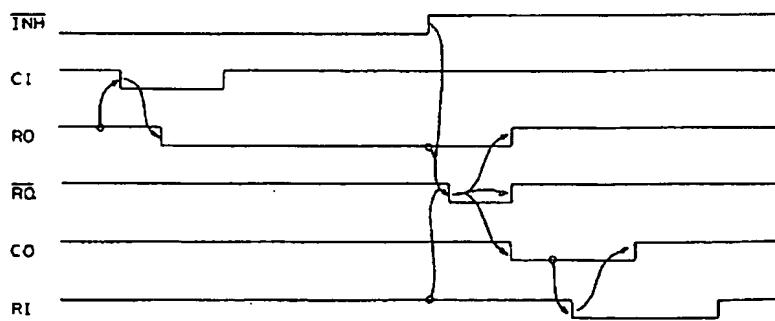
第5図



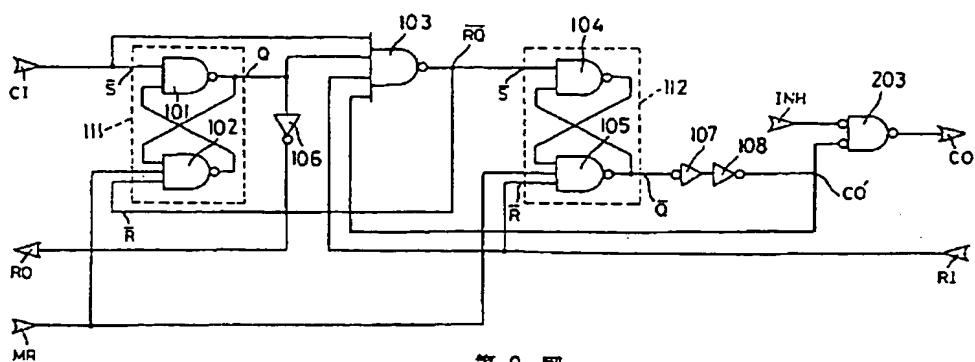
第6図



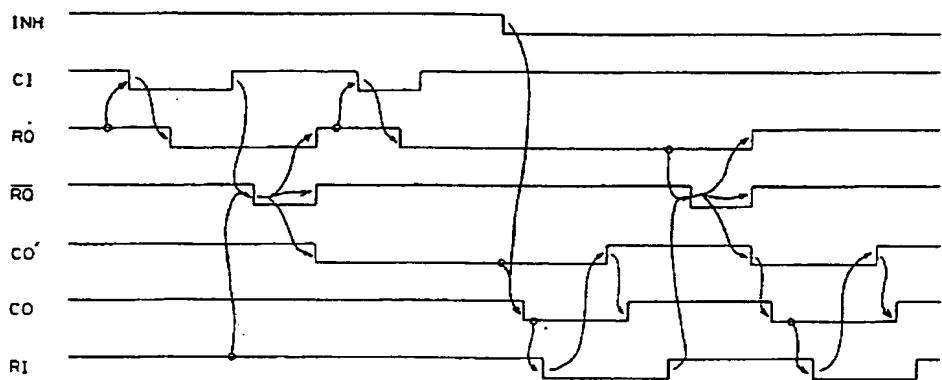
第7図



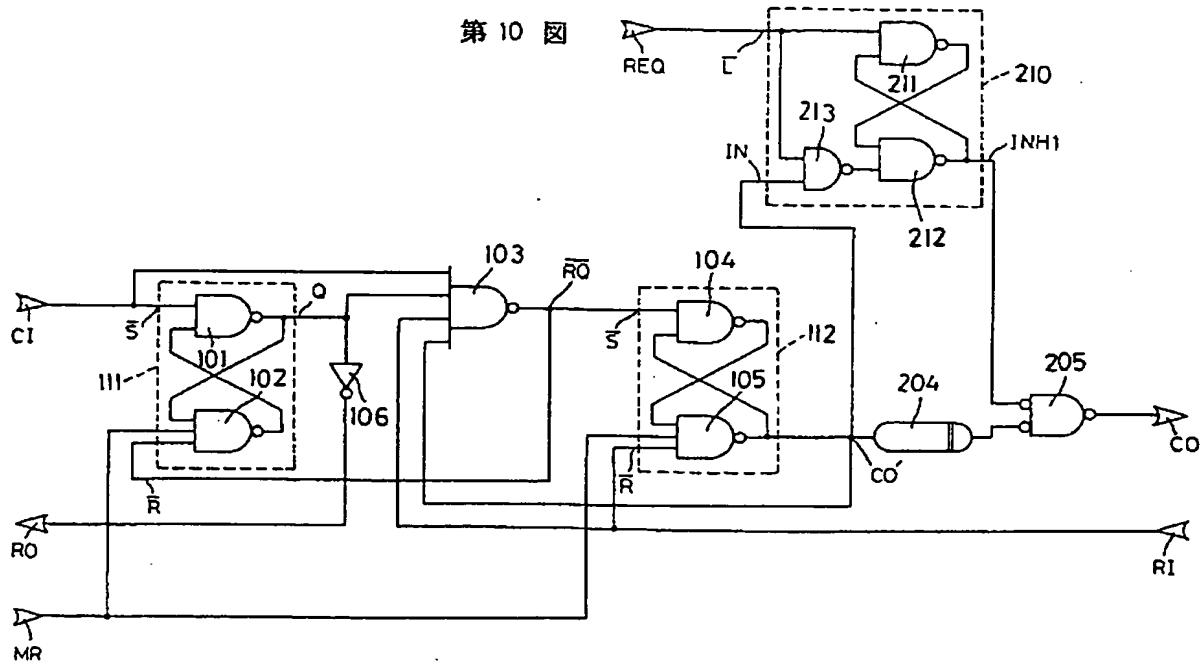
第8図



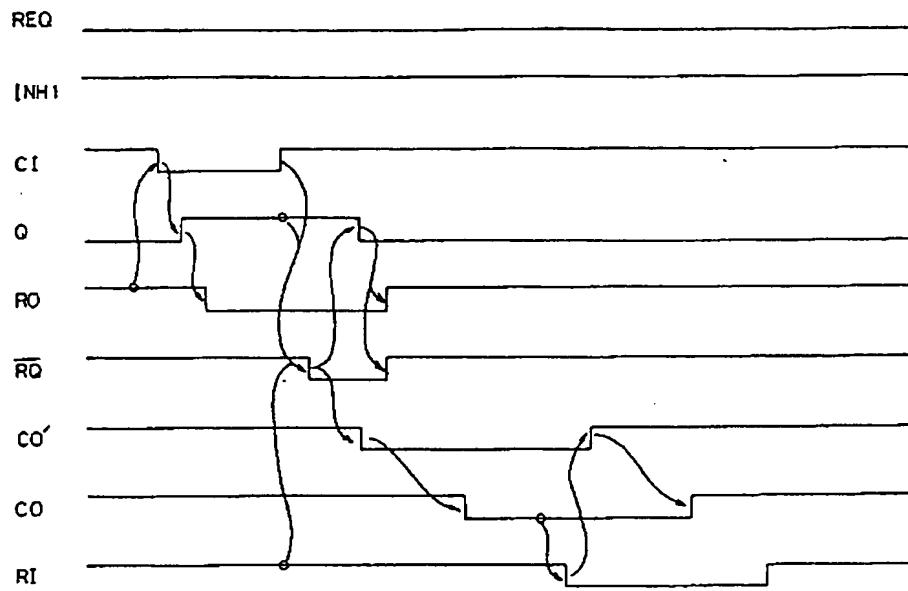
第9図



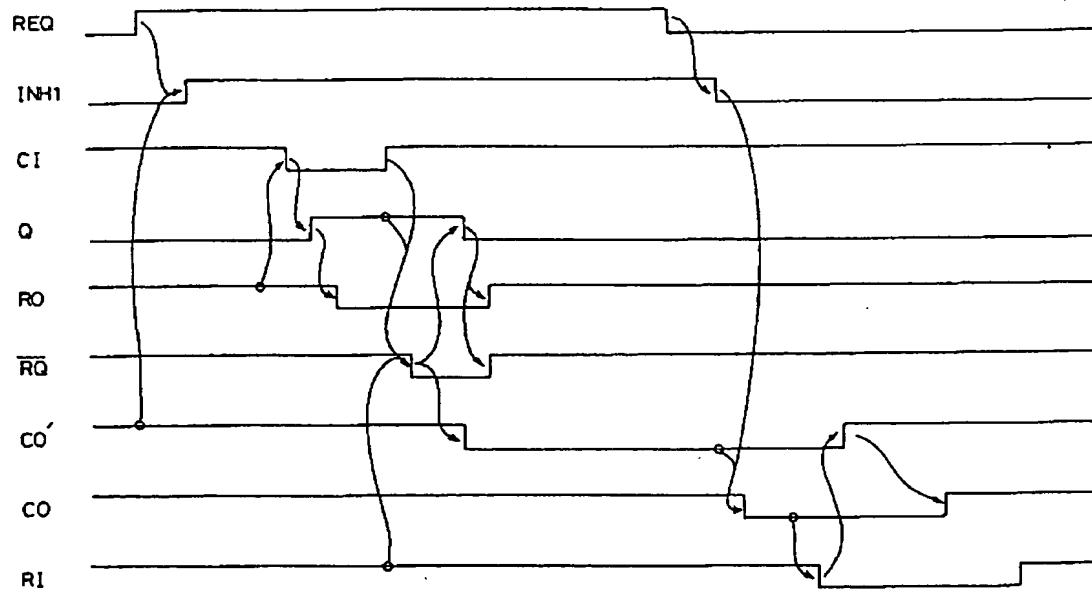
第10図



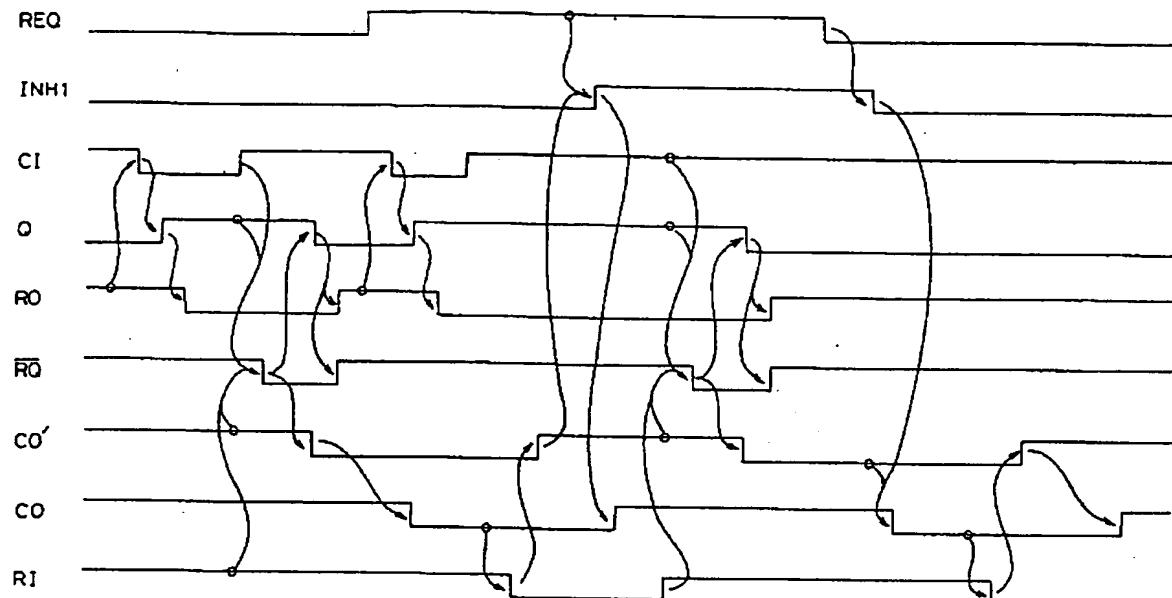
第11A図



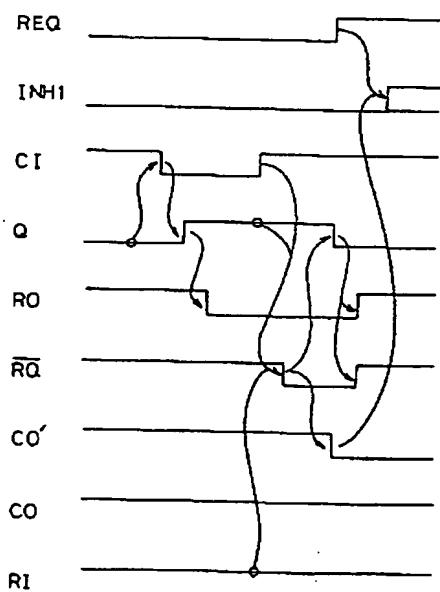
第11B図



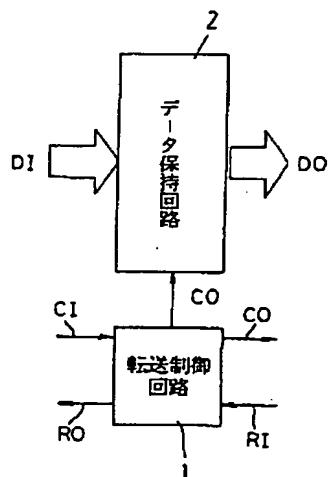
第11C図



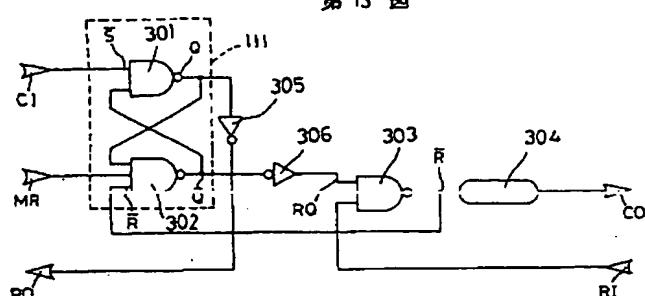
第11D図



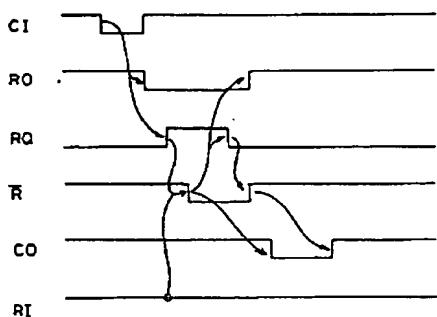
第12図



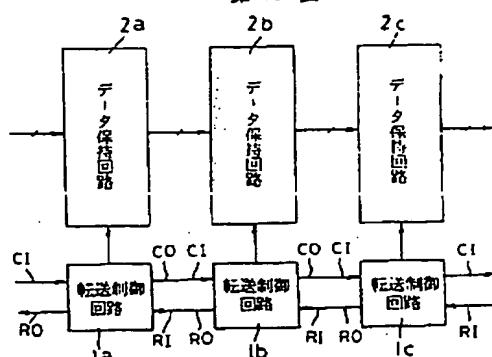
第13図



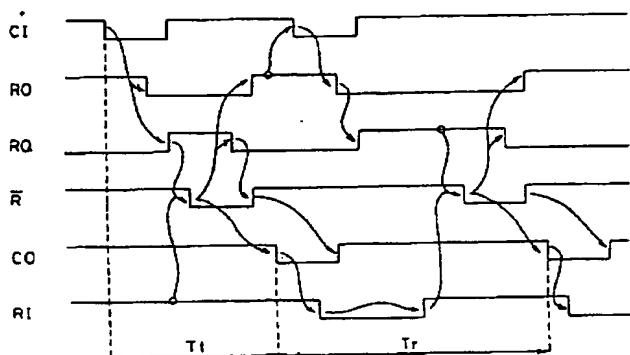
第14図



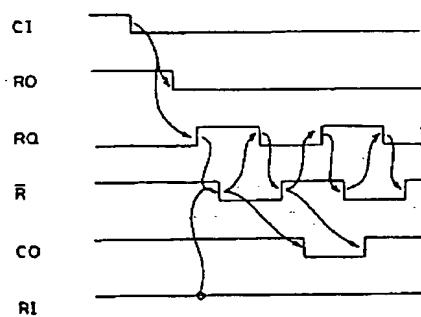
第15図



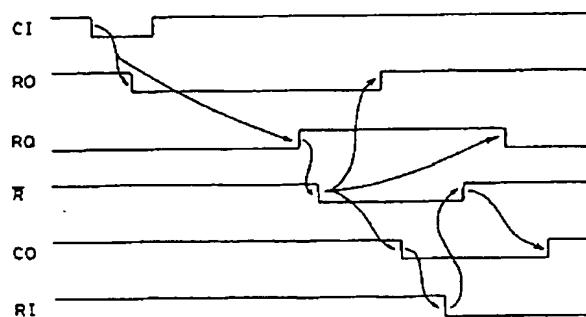
第16図



第17図



第18図



第19 図

